

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl.[®]
 H03F 3/45

(11) 공개번호 특 1998-070499
 (43) 공개일자 1998년 10월 26일

(21) 출원번호	특 1998-000798
(22) 출원일자	1998년 01월 14일
(30) 우선권주장	97-006120 1997년 01월 17일 일본(JP)
(71) 출원인	히다치세사쿠쇼(주) 가나이즈토무
(72) 발명자	일본국 도쿄도 지요다구 간다 스루가다이 4-6 도요타겐지
(74) 대리인	일본국 도쿄도 고다이라시 가쿠엔 히가시마치 3-2-40 파루하미초 227호실 마츠우라다초지 일본국 도쿄도 스기나미구 아마누마 1-20-2 하세겐이치 일본국 가나가와Ken 후지사와시 구게누마 마츠가오카 4-17-17 백남기

설사접구 : 원문

(54) 차동회로를 포함하는 전자회로

요약

차동회로를 포함하는 전자회로에서 전계효과트랜지스터를 사용한 차동회로에 관한 것으로서, 부귀환에 의한 가상점지를 이용한 필터 등의 회로에서는 부귀환의 안정성을 확보하기 위해 보상용량을 증가시키지 않으면 안되기 때문에 대역을 제한해 버린다는 결점이 있다는 문제점을 해결하기 위해서, 차동입력전압이 게이트에 인가되고 소오스가 공통으로 접속된 제1, 제2 전계효과트랜지스터를 구비한 차동회로를 포함하는 전자회로로서, 차동회로는 제1, 제2 전계효과트랜지스터의 소오스와 소오스가 공통으로 접속된 제3, 제4 전계효과트랜지스터를 더 포함하고 제1 전계효과트랜지스터의 드레인과 제3 전계효과트랜지스터의 드레인은 차동 출력의 한쪽에, 제2 전계효과트랜지스터의 드레인과 제4 전계효과트랜지스터의 드레인은 차동 출력의 다른쪽에 접속되고, 차동회로는 제1, 제2 전계효과트랜지스터의 게이트에 인가되는 차동입력전압의 진폭값의 증대에 따라 감소하는 제어전압을 출력노드에서 발생하는 제어회로를 더 구비하고, 제어회로의 출력노드에서 발생하는 제어전압을 차동회로의 제3, 제4 전계효과트랜지스터의 게이트에 공급하는 구조으로 하였다.

이렇게 하는 것에 의해서, 비교적 단순한 회로구성으로 선형의 전달특성이 얻어지는 입력범위를 확대할 수 있는 차동회로를 포함하는 전자회로를 제공할 수 있다는 효과가 얻어진다.

효과도

도 1

영세석

도면의 간단한 설명

도 1은 본 발명에 관한 차동회로를 포함하는 전자회로의 1실시예를 도시한 회로도,

도 2는 증래의 차동회로를 도시한 회로도,

도 3은 증래의 다른 차동회로를 도시한 회로도,

도 4는 도 1에 도시한 회로와 도 2에 도시한 차동회로의 출력전류의 전달특성을 도시한 특성도,

도 5는 도 1에 도시한 회로와 도 2에 도시한 차동회로의 트랜스콘덕턴스를 도시한 특성도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 차동회로를 포함하는 전자회로에 관한 것으로서, 특히 전계효과트랜지스터를 사용한 차동회로에 관한 것이다.

증래부터 하드디스크용 리드채널LSI내부의 필터, 이동체통신의 RF대 신호처리LSI내부의 필터 등의 분야에서는 전압/전류변환을 실행하는 콘덕턴스앰프(Gm-앰프)가 이용되고 있다.

즉, 필터회로의 시정수를 분리소자(디스크리트소자)의 저항R과 캐파시터C로 구성하는 것이 아니라 집적회로의 트랜스콘덕턴스앰프(Gm-앰프)와 캐파시터C에 의해서 집적화필터회로를 구성하고, 이 집적화필터회로의 변동을 마스터슬레이브보상회로에 의해 보상하는 것이 증래부터 실행되고 있다. 이것에 관해서는 예를 들면, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.29, NO.4, 1994년 4월, PP.489~499에 기재되어 있다.

이 Gm-앰프의 전압/전류변환시의 콘덕턴스를 가변으로 하는 것에 의해 원하는 특성의 필터를 실현할 수가 있다. 즉, Gm-앰프는 입력전압에 비례한 전류를 출력하는 회로로서, 연산증폭기(OP-앰프)에 비해 저전압에서 고속인 필터를 구성하는 것이 가능하게 된다.

한편, OP-앰프는 높은 전압이득(=60dB)를 갖고 있고, 부귀환에 의한 가상접지를 이용해서 필터 등의 회로가 설계되어 있다. 그러나, 부귀환의 안정성을 확보하기 위해서는 보상용량을 증가시키지 않으면 안된다. 이 때문에, 대역을 제한해 버린다는 단점이 있다.

이것에 대해서 Gm-앰프는 가상접지가 아니라 일정한 트랜스콘덕턴스를 이용해서 회로설계를 실행하므로 보상용량이 불필요하게 된다. 이 때문에, OP-앰프에 비해 대역을 연장시킬 수 있는 점에서 유리하다. 그러나, 높은 S/N과 낮은 왜곡의 입출력특성을 얻기 위해서는 입출력에 관계없이 일정한 트랜스콘덕턴스(선형의 전달특성)이 필요하게 된다. 또, 트랜스콘덕턴스는 광대역에 걸쳐 일정한 것이 요구된다.

증래의 전압/전류변환을 실행하는 Gm-앰프는 단순한 차동쌍에 의해서 구성되어 있다. 그러나, 일정한 트랜스콘덕턴스가 얹어지는 입력범위는 반드시 충분하지는 않다.

도 2는 전압/전류변환을 실행하는 증래의 차동회로를 도시하고 있다. 차동쌍(201)은 MOS형 전계효과트랜지스터(MOSFET)M1, M2에 의해 구성되어 있다.

이 MOSFETM1, M2는 각각 포화영역에서 동작한다. 따라서, 차동입력전압을 V_{in} , MOSFETM1, M2의 트랜스콘덕턴스파라미터를 K, 임계값전압을 V_c , 각각의 게이트-소오스간 전압을 V_{gs} , V_{oss} , 각각의 게이트전압을 V_g , V_s , 각각의 드레인전류를 I_d , I_s , MOSFETM1, M2의 공통소오스의 전압을 V_s , MOSFETM1, M2의 공통소오스의 정전류원의 전류를 I_{ss} 로 하면 다음의 식이 성립한다.

$$I_1 = K(V_{gs1} - V_r)^2$$

$$I_2 = K(V_{gs2} - V_r)^2$$

$$V_{oss1} - V_{oss2} = V_{1n}$$

$$V_1 = V_{1n}/2$$

$$V_2 = V_{1n}/2$$

$$V_{oss} = V_1 - V_s = \frac{V_{1n}}{2} - V_s$$

$$V_{oss} = V_2 - V_s = \frac{V_{1n}}{2} - V_s$$

수학식 6, 수학식 7을 수학식 1, 수학식 2에 대입하는 것에 의해 다음의 식이 얻어진다.

$$\begin{aligned} I_1 + I_2 &= K\left[\left(\frac{V_{1n}}{2} - V_s - V_r\right)^2 + \left(-\frac{V_{1n}}{2} - V_s - V_r\right)^2\right] \\ &= K\left(\frac{V_{1n}^2}{2} + 2(V_s + V_r)^2\right) = 2I_{ss} \end{aligned}$$

이 수학식 8를 전개하는 것에 의해 다음의 식이 얻어진다.

$$\begin{aligned} \frac{2I_{ss}}{K} - \frac{V_{1n}^2}{2} &= 2(V_s + V_r)^2 \\ V_s &= V_r \sqrt{\frac{I_{ss}}{K} - \frac{V_{1n}^2}{4}} \end{aligned}$$

수학식 9를 수학식 6, 수학식 7에 대입하는 것에 의해 다음의 식이 얻어진다.

$$V_{oss} = \frac{V_{1n}}{2} + V_r + \sqrt{\frac{I_{ss}}{K} - \frac{V_{1n}^2}{4}}$$

$$V_{\text{out}} = \frac{V_{\text{in}}}{2} + V_r + \sqrt{\frac{I_{\text{ss}}}{K} \cdot \frac{V_{\text{in}}^2}{4}}$$

수학식 10, 수학식 11를 수학식 1, 수학식 2에 대입하는 것에 의해 다음의 식이 얻어진다.

$$\begin{aligned} I_1 &= K \left(\frac{V_{\text{in}}}{2} + \sqrt{\frac{I_{\text{ss}}}{K} \cdot \frac{V_{\text{in}}^2}{4}} \right)^2 \\ &= I_{\text{ss}} + \sqrt{K I_{\text{ss}} \cdot \frac{(KV_{\text{in}})^2}{4}} \cdot V_{\text{in}} \end{aligned}$$

$$\begin{aligned} I_2 &= K \left(\frac{V_{\text{in}}}{2} + \sqrt{\frac{I_{\text{ss}}}{K} \cdot \frac{V_{\text{in}}^2}{4}} \right)^2 \\ &= I_{\text{ss}} - \sqrt{K I_{\text{ss}} \cdot \frac{(KV_{\text{in}})^2}{4}} \cdot V_{\text{in}} \end{aligned}$$

차동쌍MOSFET M1, M2의 드레인에 접속된 MOSFET M3, M4의 드레인전류 I_3 , I_4 를 각각 I_{ss} 로 하면, 차동출력 OUTP, OUTN의 출력전류 I_{op} , I_{on} 은 다음의 식과 같이 구해진다.

$$\begin{aligned} I_{\text{op}} &= I_4 - I_2 = \sqrt{K I_{\text{ss}} \cdot \frac{(KV_H)^2}{4}} \cdot V_H \\ I_{\text{on}} &= I_3 - I_1 = -\sqrt{K I_{\text{ss}} \cdot \frac{(KV_H)^2}{4}} \cdot V_H \end{aligned}$$

수학식 14, 수학식 15에서 전압/전류변환을 실행하는 Gm-앰프의 트랜스콘덕턴스 Gm은 다음의 식과 같이 구해진다.

$$|G_m| = \frac{dI_{\text{op}}}{dV_{\text{in}}} = \frac{dI_{\text{on}}}{dV_{\text{in}}} = \frac{K I_{\text{ss}} \cdot \frac{(KV_{\text{in}})^2}{2}}{\sqrt{K I_{\text{ss}} \cdot \frac{(KV_{\text{in}})^2}{4}}}$$

수학식 14, 수학식 15에서 주어지는 출력전류 I_{op} , I_{on} 의 회로시뮬레이션에 의한 전달특성은 도 4에 (403)(lop)와 (404)(lon)으로 나타내진다. 또, 수학식 16에서 주어지는 트랜스콘덕턴스 Gm은 도 5에 (503)과 (504)로 나타내져 있다.

이 도 4 및 도 5에서 알 수 있는 바와 같이, 차동입력전압 V_{in} 이 미소한 진폭범위에 있어서는 차동입력전압 V_{in} 에 비례해서 출력전류 I_{op} , I_{on} 이 변화한다는 선형의 전달특성이 얻어진다. 그러나, 차동입력전압 V_{in} 이 커져서 출력전류 I_{op} , I_{on} 의 포화부분에 가까워지면, 선형의 전달특성이 얻어지지 않게 된다. 이와 같이, 입력전압 V_{in} 의 진폭이 커지면 트랜스콘덕턴스 Gm은 큰 값에서 작은 값으로 변화해 버린다.

이상 설명한 바와 같이, 전압/전류변환을 실행하는 Gm-앰프의 트랜스콘덕턴스 Gm을 구성하는 종래의 차동회로에 있어서는 선형의 전달특성이 얻어지는 입력범위(입력동적범위)가 불충분하다는 문제가 있다.

한편, 입력범위를 확대하는 방법으로서, 도 3과 같이 차동쌍MOSFET의 소오스에 저항을 삽입한 소오스디제너레이티드(degenerated) Gm-앰프가 알려져 있다(IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.29, NO.4, 1994년 4월, PP.489~499 참조).

이 도 3에 도시한 Gm-앰프는 소오스저항(301)(Rd)에 의해 입력전압을 분압하는 것에 의해서 입력범위를 확대하고 있다. 그러나, 확대한 분만큼 트랜스콘덕턴스가 감소해 버려 필터의 대역을 제한해 버린다는 문제가 발생한다. 또, 기생용량(302)(Cp)와 소오스저항(301)(Rd)가 원인으로 되어 Gm-앰프의 전달특성에 기생적인 영점(0점)이 발생하기 때문에, 이 영점근방의 주파수대에서 트랜스콘덕턴스가 변동해 버린다는 문제가 발생한다. 이 영점은 0가 높은 필터회로에서는 특성을 열화시키는 원인으로 되므로, 종래에서는 마스터슬레이브보상회로라고 하는 복잡한 회로구성에 의해 취소하지 않으면 안되었다.

모델의 이루고자 하는 기술적 목적

따라서, 본 발명의 목적은 비교적 단순한 회로구성에 의해서 선형의 전달특성이 얻어지는 입력범위를 확대할 수 있는 차동회로를 포함하는 전자회로를 제공하는 것이다.

모델의 구성 및 작용

상기 목적을 달성하기 위해서 본 발명의 전자회로의 대표적인 회로구성은 다음과 같다. 즉, 차동입력

전압($V_{..}$)이 게이트에 인가되고 소오스가 공통으로 접속된 제1과 제2 전계효과트랜지스터(M1, M2)를 포함하는 차동회로(101)을 포함하는 전자회로로서, 상기 차동회로(101)은 상기 제1과 제2 전계효과트랜지스터(M1, M2)의 상기 소오스와 소오소가 공통으로 접속된 제3과 제4 전계효과트랜지스터(M3, M4)를 더 포함하고 있다. 그리고, 상기 제1 전계효과트랜지스터(M1)의 드레인과 상기 제3 전계효과트랜지스터(M3)의 드레인은 차동출력의 한쪽(DOUT_M)에 접속되고, 상기 제2 전계효과트랜지스터(M2)의 드레인과 상기 제4 전계효과트랜지스터(M4)의 드레인은 차동출력의 다른쪽(DOUT_P)에 접속되어 있다. 또, 상기 차동회로(101)은 상기 제1과 제2 전계효과트랜지스터(M1, M2)의 게이트에 인가되는 상기 차동입력전압($V_{..}$)의 진폭값의 증대에 응답해서 감소하는 제어전압(V_{com})을 출력노드(n3)에서 발생하는 제어회로(102)를 구비하고 있고, 상기 제어회로(102)의 상기 출력노드(n3)에서 발생하는 상기 제어전압(V_{com})을 상기 차동회로(101)의 상기 제3과 제4의 전계효과트랜지스터(M3, M4)의 게이트에 공급하게 하는 것을 특징으로 하고 있다(도 1 참조).

이와 같이 구성하는 것에 의해 차동입력전압($V_{..}$)의 진폭값이 증대한 경우에는 제어회로(102)의 출력노드(n3)에서 발생하는 제어전압(V_{com})가 감소해서 차동회로(101)의 제3과 제4 전계효과트랜지스터(M3, M4)에 흐르는 전류가 감소한다. 이 전류의 감소에 따라 차동회로(101)의 제1과 제2 전계효과트랜지스터(M1, M2)에 흐르는 전류가 증대하므로, 차동회로(101)에 인가되는 차동입력전압($V_{..}$)에 대한 입력범위(입력동적범위)를 실효적으로 확대하는 것이 가능하게 된다.

이하, 본 발명에 의한 차동회로를 포함하는 전자회로의 1실시예를 첨부도면을 참조하면서 보다 상세하게 설명한다.

도 1은 전압/전류변환을 실행하는 본 발명에 관한 전자회로의 실시예를 도시한 도면이다. 차동입력전압 $V_{..}$ 의 전압/전류변환을 실행하는 차동회로(101)은 MOSFETM1, M2, M3, M4에 의해 구성되고, 제어회로(102)는 차동회로(101)의 입력범위를 확대하는 회로로서, 소오스가 공통접속된 MOSFETM9, M5, M7, M8, M6과 전류미러회로를 구성하는 MOSFETM14, M15, M16, M17, M18에 의해 구성되어 있다.

차동회로(101)의 MOSFETM1, M2, M3, M4는 각각 포화영역에서 동작하고, 각 MOSFETM1, M2, M3, M4는 대략 동일한 트랜스콘덕턴스파라미터K, 대략 동일한 임계값전압 V_{th} 를 갖고 있다. 여기서, MOSFETM1, M2, M3, M4의 공통소오스의 정전류원의 전류는 $4I_{..}$ 로 한다. 차동회로(101)에 공급되는 차동입력전압 $V_{..}$ 은 MOSFETM1, M2의 게이트에 인가되고, MOSFETM3, M4의 게이트에는 제어회로(102)의 출력노드n3의 제어전압 V_{com} 을 공급된다.

제어회로(102)의 MOSFETM9, M5, M7, M8, M6은 대략 동일한 트랜스콘덕턴스파라미터K, 대략 동일한 임계값전압 V_{th} 를 갖고 있다. 여기서, MOSFETM9, M5, M7, M8, M6의 공통소오스의 노드n2에 접속된 정전류원의 전류는 $5I_{..}$ 로 설정하고 있다. MOSFETM5, M6의 게이트에는 차동회로(101)에 공급되는 차동입력전압 $V_{..}$ 이 인가되고, MOSFETM9의 게이트에는 이 차동입력전압 $V_{..}$ 의 중간전압 $V_{..}$ 이 인가되고 있다. 임피던스소자로서의 MOSFETM7, M8의 게이트와 드레인은 단락되어 있다. 즉, MOSFET M7, M8은 다이오드접속되어 있다.

제어회로(102)에 있어서, MOSFETM9의 게이트에는 차동입력전압 $V_{..}$ 의 직류레벨의 중간전압 $V_{..}$ 이 인가되고 있다. 이 MOSFETM9의 소오스를 토의 작용에 의해서 차동입력전압 $V_{..}$ 의 진폭값에 상관없이 공통소오스의 노드n2의 전위는 안정화되고 있다.

즉, 차동입력전압 $V_{..}$ 의 진폭값이 영일 때(무입력신호상태일 때), 제어회로(102)의 출력노드n3의 제어전압 V_{com} 은 차동입력전압 $V_{..}$ 의 직류레벨의 중간전압 $V_{..}$ 에 균형을 이루고 있다. 이 결과, 차동회로(101)의 MOSFETM1, M2, M3, M4의 각 드레인에는 $I_{..}$ 의 동일한 전류가 흐르고, 제어회로(102)의 MOSFETM9, M5, M7, M8, M6의 각 드레인에는 $I_{..}$ 의 동일한 전류가 흐른다. 따라서, 차동회로(101)의 공통소오스의 노드n1의 전위와 제어회로(102)의 공통소오스의 노드n2의 전위는 다음식으로 주어진다.

$$\begin{aligned} V_{..} &= V_{..} = V_{com} V_{..} \\ &= V_{com} V_{..} \sqrt{\frac{I_{..}}{K}} \end{aligned}$$

즉, 제어회로(102)내의 다이오드접속의 MOSFETM7, M8은 출력노드n3의 제어전압 V_{com} 을 공통소오스의 노드n2의 전위에 의해 게이트-소오스간 전압 $V_{..}$ 분만큼 높은 전압으로 제어하는 레벨시프트소자로서 동작한다.

이 결과, 중간전압 $V_{..}$ 이 게이트에 인가된 MOSFETM9의 게이트-소오스간 전압 V_{com} 과 레벨시프트소자로서의 다이오드접속MOSFETM7의 게이트 및 소오스간 전압 $V_{..}$ 은 다음의 식과 같이 상쇄되어 출력노드n3의 제어전

입 V_{in} 는 중간전압 V_v 에 균형을 이루고 있다.

$$\begin{aligned} V_{COM} &= V_{sd} + V_{os} \\ &= V_{cm} V_{cs} + V_{cs} \\ &= V_{cm} V_{tr} \sqrt{\frac{I_{ss}}{K}} + V_r + \sqrt{\frac{I_{ss}}{K}} \\ &= V_{cm} \end{aligned}$$

출력노드n3의 제어전압 V_{com} 가 어떠한 이유에 의해서 중간전압 V_v 보다 높아지면, 다이오드접속MOSFETM7, M8의 전류가 I_s 보다 증가해서 미 증가분에 따라 MOSFE TM9, M5, M6의 전류가 감소한다. 따라서, 전류 미러회로의 MOSFETM14, M15, M16, M17, M18의 전류도 감소해서 출력노드n3의 제어전압 V_{com} 은 중간전압 V_v 까지 저하된다.

한편, 차동회로(101)의 MOSFETM1, M2의 드레인전류의 합을 $2I_s$ 로 하면, 차동입력전압 V_i 의 진폭값이 영미 아닐 때(즉, 유입력신호상태일 때)의 차동회로(101)의 MOSFETM1, M2의 드레인전류 I_s , I_o 는 상기의 수학식 12, 수학식 13과 마찬가지로 각각 다음식으로 주어진다.

$$I_s = I_{ds} + \sqrt{KI_{ds} - \frac{(KV_{i_s})^2}{4}} \cdot V_H$$

$$I_o = I_{ds} - \sqrt{KI_{ds} - \frac{(KV_{i_s})^2}{4}} \cdot V_t$$

이 때, 제어회로(102)에서는 MOSFETM9의 소오스플로워의 작용에 의해 공통소오스의 노드n2의 전위는 대략 안정화되어 있다. 이 때문에, 마찬가지로 차동입력전압 V_i 이 공급되는 MOSFETM5, M6은 차동쌍의 MOSFET의 전달특성이 아니라 소오스접지의 MOSFET의 전달특성에 의해 각각의 드레인전류 I_s , I_o 및 드레인 전류의 합 $I_s + I_o$ 이 다음식과 같이 구해진다.

$$I_s = K(V_{oss} - V_r)^2$$

$$I_o = K(V_{oss} - V_r)^2$$

$$V_{oss} - V_{oss} = V_t$$

$$V_s = V_H/2$$

$$V_o = -V_H/2$$

$$I_s = K\left(\frac{V_H}{2} - V_{ss} - V_r\right)^2$$

$$I_o = K\left(-\frac{V_H}{2} - V_{ss} - V_r\right)^2$$

$$I_s + I_o = K\left(\frac{V_H^2}{2} + 2(V_{ss} + V_r)^2\right)$$

한편, 제어회로(102)에서는 안정화되어 있는 소오스플로워의 MOSFETM9의 드레인전류로 구동되는 전류미러회로의 출력측MOSFETM15, M16, M17, M18에 의해 $4I_s$ 의 전류가 공급되고 있다. 따라서, 다이오드접속MOSFETM7, M8의 드레인전류의 합 $I_s + I_o$ 은 다음식과 같이 구해진다.

$$\begin{aligned} I_s + I_o &= 4I_{ss} - (I_s + I_o) \\ &= 4I_{ss} - K\left(\frac{V_H^2}{2} + 2(V_{ss} + V_r)^2\right) \end{aligned}$$

그런데, 상기 식에서 차동입력전압 V_i 가 영일 때에는 $I_s + I_o = 2I_s$ 이므로 다음식이 주어진다.

$$2K(V_{ss} + V_r)^2 = 2I_{ss}$$

이 수학식 30을 수학식 29에 대입하면 다음식이 주어진다.

$$I_s + I_a = 2I_{SS} - \frac{K}{2} V_H^2$$

따라서, 수학식 28과 수학식 31에서 제어회로(102)의 MOSFETM5, M7, M8, M6의 드레인전류의 합 $I_s + I_a + I_b + I_c$ 은 다음식과 같이 구해진다.

$$I_s + I_a + I_b + I_c = 2K(V_{GS} + V_T)^2 + 2I_{SS}$$

이 수학식 32를 전개하면 다음식이 구해진다.

$$4I_{SS} = 2K(V_{GS} + V_T)^2 + 2I_{SS}$$

$$V_{GS} = V_T \sqrt{\frac{I_{SS}}{K}}$$

이를 수학식 28, 수학식 31 및 수학식 32에서 제어회로(102)의 MOSFETM5, M6의 드레인전류의 합 $I_s + I_a$ 은 차동입력전압 V_{GS} 의 진폭값에 비례해서 증가하는 분만큼, 제어회로(102)의 다이오드접속MOSFETM7, M8의 드레인전류의 합 $I_b + I_c$ 이 감소하고, 차동입력전압 V_{GS} 의 진폭값의 변화와 대략 관계없이 제어회로(102)의 MOSFETM5, M7, M8, M6의 드레인전류의 합 $I_s + I_a + I_b + I_c$ 이 대략 일정하게 된다. 이것에 의해 제어회로(102)의 공통소오스의 노드n2의 전위 V_o 도 대략 일정하게 되는 것이 이해된다.

또한, 수학식 33은 노드n2의 전위 V_o 가 변동하지 않고 일정한 것을 나타내고 노드n2의 직류전위 V_o 는 수학식 17로 주어진다.

수학식 31에 따라서 제어회로(102)의 임피던스소자로서의 다이오드접속의 MOSFETM7, M8의 드레인전류의 합 $I_b + I_c$ 이 감소하는 분만큼, 다이오드접속의 MOSFETM7, M8의 전압, 즉 제어회로(102)의 출력노드n3과 공통소오스의 노드n2 사이의 전위차가 감소한다. 이 전위차는 다이오드접속의 MOSFETM7, M8의 각각에 공통의 게이트-소오스간 전압 V_{GS} 로 되므로, 다이오드접속의 MOSFETM7, M8의 드레인전류 I_b, I_c 은 모두 동일하게 된다($I_b = I_c$).

따라서, 수학식 31의 우변의 $1/2(I_b + I_c)$ 다이오드접속의 MOSFETM7의 드레인전류 I_b 과 동일하게 되므로 다음식이 구해진다.

$$I_b = K(V_{GS} - V_T)^2$$

$$V_{GS} = V_T + \sqrt{\frac{I_b}{K}}$$

$$= V_T + \sqrt{\frac{I_{SS}}{K} - \frac{V_{GS}^2}{4}}$$

따라서, 수학식 34에서 주어지는 제어회로(102)의 임피던스소자로서의 다이오드접속의 MOSFETM7의 게이트-소오스간 전압 V_{GS} 이 차동회로(101)의 MOSFETM3, M4의 게이트-소오스간에 인가된다고 고려할 수 있으므로, MOSFETM3, M4의 드레인전류 I_b, I_c 는 다음식으로 주어진다.

$$I_3 = I_4 = K(V_{GS} - V_T)^2$$

$$= I_{SS} - \frac{K}{4} V_H^2$$

한편, 차동회로(101)의 공통소오스의 노드n1의 정전류원에 의해서 MOSFETM1, M2, M3, M4의 드레인전류의 합 $I_1 + I_2 + I_3 + I_4$ 는 $4I_{SS}$ 로 설정되므로, 수학식 19, 수학식 20, 수학식 35로부터 다음식이 얻어진다.

$$4I_{SS} = I_1 + I_2 + I_3 + I_4$$

$$= 2I_{ds} + 2I_{SS} - \frac{K}{2} V_H^2$$

$$I_{ds} = I_{SS} + \frac{K}{2} V_H^2$$

차동회로(101)에 있어서, 차동출력OUTN에는 MOSFETM1의 드레인과 MOSFETM3의 드레인이 접속되고, 차동출력OUTP에는 MOSFETM2의 드레인과 MOSFETM4의 드레인이 접속되어 있다.

따라서, 차동출력OUTN에 접속된 MOSFETM1의 드레인전류 I_1 과 MOSFETM3의 드레인전류 I_3 의 합은 수학식 19, 수학식 35, 수학식 36를 사용해서 정리하면 다음식으로 주어진다.

$$I_1 + I_3 = 2I_{SS} + \sqrt{KI_{SS}} \cdot V_H$$

마찬가지로, 차동출력OUTP에 접속된 MOSFETM2의 드레인전류 I_2 와 MOSFETM4의 드레인전류 I_4 의 합은 수학식 20, 수학식 35, 수학식 36를 사용해서 정리하면 다음식으로 주어진다.

$$I_2 + I_4 = 2I_{SS} \cdot \sqrt{KI_{SS}} \cdot V_H$$

차동회로(101)의 차동쌍MOSFETM1, M2의 드레인에 접속된 MOSFETM10, M11, M12, M13의 각 드레인전류를 I_{op} 로 하면, 차동출력OUTP, OUTN의 출력전류 I_{op} , I_{on} 은 다음식과 같이 구해진다.

$$\begin{aligned} I_{op} &= 2I_{SS} \cdot (I_2 + I_4) \\ &= \sqrt{KI_{SS}} \cdot V_H \end{aligned}$$

$$\begin{aligned} I_{on} &= 2I_{SS} \cdot (I_1 + I_3) \\ &= \sqrt{KI_{SS}} \cdot V_H \end{aligned}$$

수학식 39와 수학식 40에서 전압/전류변환을 실행하는 Gm-앰프의 트랜스콘덕턴스Gm은 다음식과 같이 구해진다.

$$|G_m| = \frac{dI_{op}}{dV_H} = \frac{dI_{on}}{dV_H} = \sqrt{KI_{SS}}$$

수학식 39, 수학식 40에서 주어지는 출력전류 I_{op} , I_{on} 의 회로시뮬레이션에 의한 전달특성은 도 4에 (401)(top)와 (402)(ton)으로 나타내진다. 또, 수학식 41에서 주어지는 트랜스콘덕턴스Gm은 도 5에 (501)과 (502)로 나타내고 있다.

이 도 4 및 도 5에서 알 수 있는 바와 같이, 차동입력전압 V_H 의 진폭값이 커져서 출력전류 I_{op} , I_{on} 의 절대값이 $2I_{SS}$ 의 부근까지 선형의 전달특성이 얻어지고 있다. 트랜스콘덕턴스Gm은 큰 값을 유지하여 선형의 전달특성이 얻어지는 입력범위(입력동적범위)를 확대할 수 있다.

따라서 본 발명에 의하면, 비교적 단순한 회로구성을 통해서 선형의 전달특성이 얻어지는 입력범위를 확대할 수 있는 차동회로를 포함하는 전자회로를 제공하는 것이 가능하게 된다.

발명의 효과

미상, 본 발명의 적합한 실시예에 대해서 설명하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니고 본 발명의 요지를 이탈하지 않는 범위내에 있어서 여러가지 설계변경을 할 수 있는 것은 물론이다. 예를 들면, 차동회로(101)의 MOSFET와 제어회로(102)의 MOSFET는 실리콘들의 전합형 전계효과트랜지스터로 치환하는 것도 가능하고 더 나아가서는 화합물반도체 등에 의한 MESFET형의 전계효과트랜지스터로 치환하는 것도 가능하다.

또, 하드디스크용 리드채널LSI내부의 필터, 미동체통신의 RFCA 신호처리LSI내부의 필터 등의 분야에 있어서의 전압/전류변환을 실행하는 콘덕턴스앰프(Gm-앰프)의 차동회로에 한정되는 것이 아니고, 선형의 전달특성이 얻어지는 입력범위(입력동적범위)를 확대하는 것이 가능한 범용의 차동회로를 포함하는 전자회로에 적용할 수 있다.

(57) 청구의 범위

청구항 1. 차동입력전압이 게이트에 인가되고 소오스가 공통으로 접속된 제1과 제2 전계효과트랜지스터를 구비하는 차동회로를 포함하는 전자회로로서,

상기 차동회로는 상기 제1과 제2 전계효과트랜지스터의 상기 소오스와 소오스가 공통으로 접속된 제3과 제4 전계효과트랜지스터를 더 포함하여 이루어지고,

상기 제1 전계효과트랜지스터의 드레인과 상기 제3 전계효과트랜지스터의 드레인은 차동출력의 한쪽에 접속되고, 상기 제2 전계효과트랜지스터의 드레인과 상기 제4 전계효과트랜지스터의 드레인은 차동출력의 다른쪽에 접속되고,

상기 차동회로는 상기 제1과 제2 전계효과트랜지스터의 게이트에 인가되는 상기 차동입력전압의 진폭값의 증대에 응답해서 감소하는 제어전압을 출력노드에서 발생하는 제어회로를 더 구비하여 이루어지고,

상기 제어회로의 상기 출력노드에서 발생하는 상기 제어전압을 상기 차동회로의 상기 제3과 제4 전계효과트랜지스터의 게이트에 공급하는 것을 특징을 하는 전자회로.

청구항 2. 제1항에 있어서,

상기 제어회로는

상기 차동입력전압이 게이트에 인가되고 소오스가 공통으로 접속되며, 드레인이 상기 출력노드에 공통으로 접속된 제5와 제6 전계효과트랜지스터,

상기 제5와 제6 전계효과트랜지스터의 상기 소오스와 공통으로 소오스가 접속되고, 게이트와 드레인이 상기 출력노드에 공통으로 접속된 제7과 제8 전계효과트랜지스터,

상기 제5와 제6 전계효과트랜지스터의 상기 소오스와 상기 제7과 제8 전계효과트랜지스터의 상기 소오스와 공통으로 소오스가 접속되고, 게이트에 상기 차동입력신호전압의 직류전압이 공급되는 제9 전계효과

트랜지스터 및

입력이 상기 제9 전계효과트랜지스터의 드레인에 접속되고, 출력이 상기 출력노드에 공통으로 접속된 전류미러회로를 포함하는 것을 특징으로 하는 전자회로.

청구항 3. 제2항에 있어서,

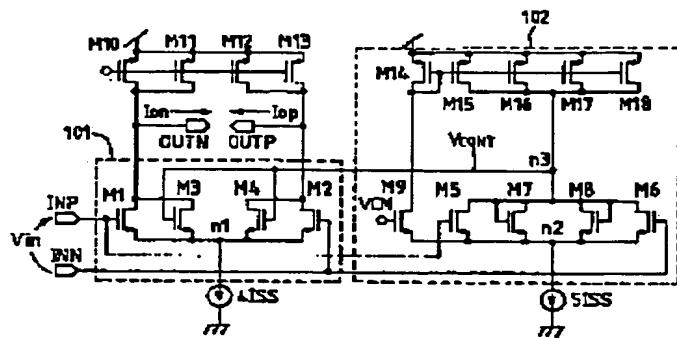
상기 차동회로의 상기 제1과 제2 전계효과트랜지스터의 상기 소오스와 상기 제3과 제4 전계효과트랜지스터의 상기 소오스에는 제1 정전류원이 접속되고,

상기 제어회로의 상기 제5와 제6 전계효과트랜지스터의 상기 소오스와 상기 제7과 제8 전계효과트랜지스터의 상기 소오스에는 제2 정전류원이 접속되고,

상기 제2 정전류원의 정전류는 상기 제1 정전류원의 정전류의 대략 5/4배로 설정되어 있는 것을 특징으로 하는 전자회로.

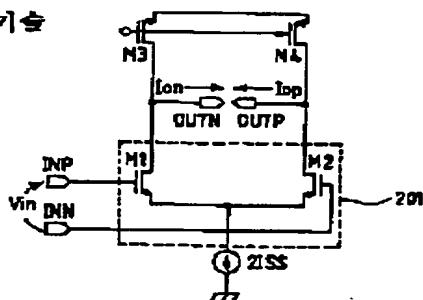
도면

도면1



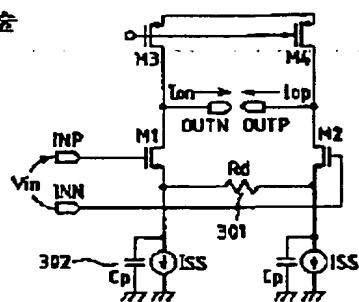
도면2

종래의 기술

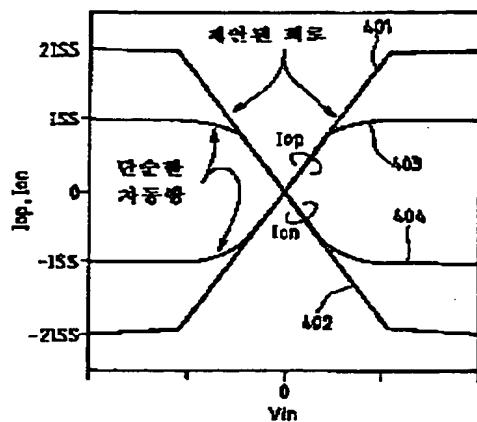


도면3

증례의 기술



도면4



도 25

